

深亚微米抗辐射加固设计的 SPICE 仿真验证方法

王 丹, 岳素格, 孙永姝
(北京微电子技术研究所, 北京 100076)

摘 要: 由于在抗辐射加固设计(RHBD)中采用了环形栅的版图结构, 由此引发了直栅 SPICE 仿真验证方法对 RHBD 不适用的问题. 通过分析深亚微米工艺技术下环形栅结构的特性, 建立了环形栅的有效栅宽长比算法, 同时构建了环形栅的 SPICE 仿真模型, 并针对抗辐射加固设计提出了如何有效地提取版图参数网表的策略, 从而解决了传统 SPICE 仿真验证对 RHBD 不适用的问题, 通过有效的仿真验证, 确保电路性能, 提高设计的可靠性.

关键词: 环形栅; SPICE 仿真; 抗辐射加固; 模型; 版图参数网表

中图分类号: TN702

文献标识码: A

文章编号: 1000-7180(2010)06-0080-05

The Simulation Method Based on SPICE for Radiation-Hardening Design in Deep Submicron Technology

WANG Dan, YUE Su-ge, SUN Yong-shu

(Beijing Microelectronics Technology Institute, Beijing 100076, China)

Abstract: For using enclosed-gate layout MOSFETs in rad-hard by design, because the annular structure is different from ordinary rectangular gate essentially, so the conventional SPICE simulations is not-applicable to radiation-hardening design. In this paper, analyzing the characteristic of enclosed-gate in deep submicron technology, this thesis establishes an effective aspect ratio arithmetic and builds SPICE model for enclosed-gate, at the same time, a method about how to extract layout netlist availability is presented here, the three points mentioned above expound the simulation method of radiation-hardening design in deep submicron technology, which resolved the unapplicability between SPICE and RHBD traditionally. Throuth effective simulation, the circuit performance is ensured and reliability in the design is increased.

Key words: enclosed-gate; SPICE smulation; radiation-hardening design; model; layout netlist

1 引言

当工艺技术由亚微米深入到深亚微米时, n 沟道直栅结构晶体管场区边缘漏电成为电离总剂量引起电路失效的主要原因. 通过对辐照机理进行分析后发现, 辐照电离发生在 20~50ns 的时间内, 随之发生的光电流将可能导致电路的工作不正常. 因此, 需要对敏感区进行辐射加固设计, 来消除总剂量效应所带来的不良影响.

目前主流的方法是基于商用标准体硅 CMOS 工艺进行抗辐射加固设计(RHBD), 此方法无需专用的辐射加固工艺技术, 而是采用逻辑和版图的设

计加固方法从而满足抗辐射的应用要求. 而针对总剂量效应的影响通常采用版图加固的方法, 即采用环形栅(ELT)结构, 利用栅下的薄氧阻断了源漏区之间的寄生场氧漏电通路, 从而有效解决总剂量引发的边缘漏电的问题. 对于深亚微米工艺, 已有试验证明, 采用环形栅结构的器件在经历 30Mrad(Si)的总剂量辐照后仍然功能良好. 值得注意的是虽然环形栅结构具有足够的抗总剂量引发的边缘漏电能力, 但是由于采用这种加固版图结构, 带来了器件结构上与直栅结构的差异, 引发了一系列的 SPICE 仿真验证问题.

文中通过分析深亚微米工艺技术下环形栅结构

的特性,提出了对抗辐射加固设计有效的仿真实验方法.该方法包括三部分内容:首先建立了与设计相对应的有效栅宽长比算法;将传统 SPICE 仿真中的仿真算法对于加固结构导致的偏差加入到 SPICE 晶体管模型中,由此构建出环形栅 SPICE 仿真模型;最后提出 RHBD 版图参数网表的提取策略,从而解决了采用传统直栅仿真实验对 RHBD 不适用问题.

2 环形栅结构设计和尺寸确定

由于环形栅的特殊构造,使得如何获得准确的环形栅有效宽长比成为 RHBD 仿真实验前期首要考虑的问题.环形栅(ELT)存在多种不同的结构,有圆形,八角形,带 45°拐角(broken corners)的方形.但在 0.18 μm 深亚微米工艺技术下由于可制造性的制约,圆形和带有 90°多晶硅栅拐角是不允许的,并且考虑到面积的开销和逻辑的规整性,文中设计了这种具有相同 45°拐角的多晶硅栅结构.该结构满足商用深亚微米的设计要求,多晶硅栅和金属连接处采取在有源区内打孔的方式,去除了通常环形栅结构的脖形区域(neck),且保证拐角为一常数值,使得该结构中电流主要集中在水平和垂直的两个方向,保证了一致性和器件的匹配性.

获取环形栅有效宽长比通常有两种方法,中线法则(mid-line)和区域划分的方法.采用中线法则,该算法较为直观和简易,即通过平均多晶硅栅的内、外边周长得到栅长,但这种算法所带来的误差相对较大^[1].以 2.4 μm 特征尺寸设计为例,采用中线算法得到器件尺寸与实际器件尺寸差值竟高达 30%.而采用另一种环形栅区域划分方法(两种方法都是对于漏端在环形栅内的结构进行的分析)和实际数据仅差了 7%,因此引入典型环形栅结构设计的区域划分计算方法来算取环形栅有效的宽长比^[2].

如式(1)所示(公式参考文献[2]),由于本设计与已有的环形栅结构存在差别,因此通过对器件栅下的电场研究,对典型环形栅算法进行了适应性修改,并根据仿真和测量的支持,建立文中所采用的 ELT 结构的有效栅宽长比的算法公式.

$$\left(\frac{W}{L}\right)_{\text{eff}} = \frac{2a}{\ln \frac{d_1}{d_1 - 2aL_{\text{eff}}}}(T_1) + K \frac{1-a}{\frac{1}{2} \sqrt{a^2 + 2a} + 5 * \ln \frac{1}{a}}(T_2) +$$

$$4 \frac{d-d_1}{L_{\text{eff}}}(T_3) + 2 \frac{2a}{\ln \frac{d_2}{d_2 - 2aL_{\text{eff}}}}(T_5) + T_4 \quad (1)$$

图 1 所示为对 ELT 的区域划分,所伸缩的垂直方向对边长度表示为 d_2 ,水平固定边长为 d_1 ,在公式中 L_{eff} 代表由于栅下扩散、光刻以及腐蚀缩短了的有效栅长. K 是一个结构相关的参数,用来表示 ELT 中晶体管 T_2 的数目,在本计算中取值为 6. a ($a = 0.05$) 是一个拟合参数,用来区分图中晶体管 T_1 和 T_2 的边界. T_4 部分为设计中所存在的多晶硅栅与金属连接的区域,通过分析多晶硅栅的电流分布,采取折合有效栅长的方法算取方数值,估算值为 0.899 641 6.算法公式建立后,对设计的 ELT 结构有效宽长比进行验证,如表 1 所示,测试提取的数据与计算所得的器件宽长比吻合得很好.

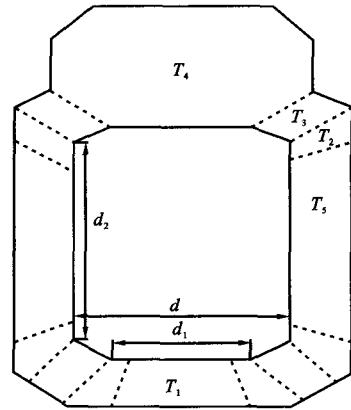


图 1 采用区域划分方法对 ELT 的分割示意图

表 1 计算和提取的环形栅晶体管有效宽长比

绘制栅长/ μm	计算有效宽长比	提取得到的宽长比
0.18	61.1	60.8
0.18	12.2	12.3
1	10.1	10.1

3 针对环形栅结构建立 SPICE 仿真的器件模型

3.1 直流参数分析

3.1.1 输出电导的不对称

对模拟电路设计的一个很重要的参数是晶体管的输出电导,比如 CMOS 放大器的增益就依赖于这个参数.输出电导可以用式(2)简单表示:

$$G_{\text{out}} = \frac{I_D}{DV} \cdot \frac{DL}{L - DL} \quad (2)$$

但是对于 ELT 结构,通过比较漏端在环形栅内部(G_{di})和外部(G_{do})时的输出电导值,发现 ELT 的

输出电导存在不对称性^[2].

图 2(a) 比较形象地示意出当漏区在环外时, 由于对于同样的偏置电势下空间电荷守恒, 夹断点 (pinch-off) 与漏区之间的距离 ΔL 要小些. 这种情况下同样的 V_{DS} 的增量使得漏区电流的增加要小些, 导致一个较低的 G_{do} . 因此漏端在环内部 (G_{di}) 和外部 (G_{do}) 并不相同, G_{di} 大于 G_{do} , 根据图 2(b) 所示的实验结果可以发现, G_{di} 和 G_{do} 的不对称性随着栅长的减少而减少, 最后的趋势为汇集到一点. 对于几个特征尺寸的晶体管的 G_{di} 和 G_{do} 进行了比较^[3], 如表 2 所示.

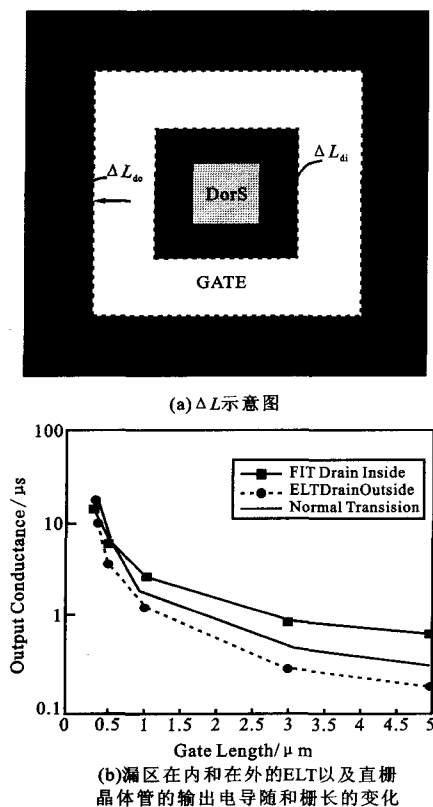


图 2 示意图

表 2 不同栅长的环形栅晶体管测量的输出电导值

$L/\mu m$	$G_{di}/\mu S, G_{do}/\mu S$ Difference/%
0.21	18.8
0.28	19
0.5	33

(注: G_{di} = 内部作为漏区的电导值, G_{do} = 外部作为漏区的电导值, Difference = $(G_{di} - G_{do})/G_{di}$)

实验数据与所分析的理论现象一致, 这种结果对于基于深亚微米的研究很有利, 虽然环形结构不对称导致了漏端在内和在外输出电导存在差异, 但进入到深亚微米、超深亚微米的工艺节点之后, 这种差异逐渐缩小, 且差异仅影响模拟电路设计中小信

号参数的变化, 对于数字电路可以忽略不计. 由分析得知输出电导与沟道长度的调制紧密相关, 因此接下来又进一步分析了环形栅的沟道调制效应.

3.1.2 ELT 的沟道调制效应

图 3 所示为环形栅结构漏端不固定, 以及直栅结构的沟道长度调制随栅长的变化. 首先可以看到对于环形栅结构在深亚微米设计中沟道调制效应更为突出^[4], 其次从图中可以明显地观察到当漏端节点在环形栅内时要比处在栅外时沟道调制效应更为明显, 由此体现出环形栅结构的不对称性. 采用 BSIM3 中所定义的沟道长度调制因子 PCLM 进行分析, 由于该效应主要反映在短沟道器件中, 因此 PCLM 因子首先影响了 $V_{A, CML-DIBL}$, 也由此影响了短沟道效应的早期电压 V_A (Early Voltage, BSIM3 中引入用来模拟 MOS 晶体管在饱和区的输出电阻的模型参数), 由式(3)所示:

$$V_A = V_{A, sat} + V_{A, CML-DIBL} \quad (3)$$

式中, $V_{A, CML-DIBL}$ 指短沟道效应修正计算.

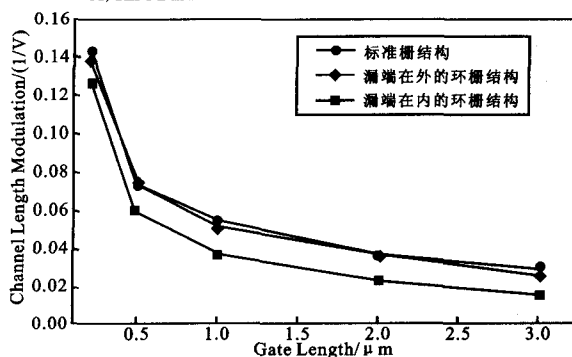


图 3 $V_{GS} = 0.9V$, 沟道长度调制随栅长的变化

沟道长度的调制不仅会影响到模拟电路中所关心的电压增益, 并且由于与数字电路设计中驱动电流所用到 V_A 密切相关, 因此要获得精准的直流参数模型, 关键在于对于模型参数 PCLM 因子的修正^[5]. 在这里采用式(4), 如下所示:

$$PCLM_a = PCLM_0 \left(\frac{V_{a0}}{V_{am}} \right) \quad (4)$$

式中, V_{a0} 为未调整模型时 PCLM0 所对应的早期电压, V_{am} 为通过测试得到的早期电压值, 利用 PCLM 参数与早期电压的比例关系来进行 PCLM 参数的调整, 然后结合测试数据进行进一步的拟合优化, 完成对直流仿真模型的修正.

3.2 交流参数分析

在交流参数中, 通过与直栅结构进行对比, 发现由于 SPICE 仿真中仿真算法的偏差主要反映在环形栅结构的非对称的特性上.

3.2.1 结电容不对称

基于 BSIM3 模型的仿真中对结电容的算法是基于源、漏区对称的,对应引入计算结电容的 BSIM3 模型参数中所提供源、漏端结电容计算的 C_J 、 $CJSW$ 、 $CJSWG$ 完全相同,源端结电容等于漏端结电容.而环形栅源、漏区分布与条栅有本质的区别,源区的侧壁电容与漏区并不相同,因此源区和漏区相同的算法肯定不适合环形栅版图设计结构.针对这一现象,采取预计算隔离侧墙电容和栅侧墙电容,将两者的电容差值引入到所建立的仿真模型中,如图 4 中所示,表示为 C_{g1} ,式(5)示意如下:

$$C_{g1} = C_J(D|CJSW - CJSWG|) \quad (5)$$

3.2.2 由环形多晶硅栅不规则性带来计算栅电容 (gate capacitance) 的偏差

获取 ELT 准确的宽长比后,在进行仿真验证时发现仿真工具是通过利用多晶硅栅面积 (WL) 来模拟栅特性,而用获得的栅长与栅宽的乘积要比实际的栅面积小的多,以一个设计的 $4\mu\text{m}/0.18\mu\text{m}$ 晶体管为例,实际的栅面积为 $1.20497\mu\text{m}^2$,而 WL 为 $0.72\mu\text{m}^2$,误差高达 40%,这会导致在仿真时低估栅电容.在 RHBD 环形栅模型中引入差值电容 C_g ,在图 4 中,用一个源、漏短接的 NMOS 表示,栅端与主要的 MOSFET 相连,采用式(6)来确定该 NMOS 的尺寸:

$$W = L = \sqrt{A(\text{realgate}) - W_{\text{eff}}L} \quad (6)$$

式中, $W_{\text{eff}}L$ 由前面 ELT 的有效宽长比式(1)获得,而 $A(\text{realgate})$ 代表实际多晶硅栅面积,其值可以很容易地由寄生参数提取工具获得.

3.2.3 栅端与源、漏区交叠电容的不对称

栅源、栅漏区交叠电容与栅形区域覆盖有源区的边长成正比,但是由于环形栅结构不对称,内外周长并不相等,因此 ELT 的栅漏交叠电容与栅源交叠电容并不相等,但通常 BSIM3 模型中 $CGS0$ 和 $CGD0$ 参数是相同的^[5].由以上分析,调整 BSIM3 中的 $CGS0$ 和 $CGD0$ 参数,首先仅考虑环栅内周长的影响,设置中间变量 $CGSD$,公式如下:

$$CGSD = CGS0 \left(\frac{P(\text{inner_gate})}{W_{\text{eff}}} \right) \quad (7)$$

式中, $P(\text{inner_gate})$ 代表 ELT 的内周长,其值很容易由参数提取工具获得.修正 BSIM3 模型参数 $CGS0$ 和 $CGD0$ 后,将外周长相对于内周长多余部分的电容引入所建立的 ELT 模型中,用电容 C_{g2} 表示,由式(8)算得

$$C_{g2} = CGSD(P(\text{outer_gate}) - P(\text{inner_gate})) \quad (8)$$

其中 ELT 内外周长的差值通过参数提取工具获得.

将结电容及栅源、栅漏交叠电容的补充电容合在一起,由式(9)所示,所构造出的电容 ΔC_g 表现在环栅结构晶体管的子电路模型(图 4)中.

$$DC_g = C_{g1} + C_{g2} \quad (9)$$

3.3 环形栅子电路模型

如图 4 所示,文中所构建出的加固结构子电路模型.

C_g 为引入的栅差值电容, ΔC_g 代表了结电容和栅源、栅漏交叠电容的补充电容,其中主 MOSFET 的尺寸首先通过文中所建立的式(1)确定,然后由直流参数中所提到的通过调整沟道调制因子 $PCLM$ 参数,从而获得准确的 ELT 有效尺寸.算法推导公式由前所述,由此完成了 RHBD 环形栅结构 SPICE 模型的构造,确定模型后还需要进行仿真测试来验证模型的准确性.

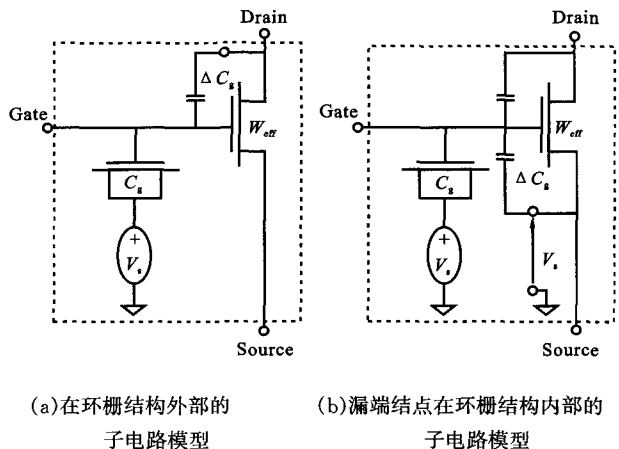


图 4 加固结构子电路模型

4 环形栅版图参数网表提取策略

要完成整个电路的带版图参数的晶体管级仿真还需要获得版图设计的网表文件,但现有的商用带版图参数网表提取工具的算法都是基于直栅结构的,由此出现了商用版图网表提取工具与加固版图结构不兼容的问题.所存在的不兼容有两个方面,一方面是商用参数提取工具采用的是直栅提取规则文件,对于环栅结构是不适用的.对于这种不兼容文中通过应用相应的软件支持语言(如 calibreXRC 所采用的 SVRF 语言)对提取规则文件进行了人工修改,解决不兼容的问题.另一方面是商用参数提取工具所采用的核心算法.商用参数提取工具对 RHBD 设计并不适用,但幸运的是这种不适用性仅针对

ELT 器件本身,因此在建立 RHBD 的环形栅 SPICE 模型后,在应用商用参数提取工具进行提参的过程中,将 ELT 做为黑盒子(Black-box)处理,当然还要配合对于商用参数提取工具的核心算法的修正,从而可以解决了商用软件的不兼容问题,该方法已经进行了初步的仿真验证,需要进一步获得测试数据的支持。

此外值得注意的是,ELT 结构的不对称增加了获得精确参数的复杂性,但是由前分析得知,ELT 源、漏结点动态变化的情况在电路设计中是属于特例情况,为了提高提取参数的效率,简化获得版图网表的过程,更为简便的方法是根据 RHBD 设计的特点,固定 ELT 的源、漏端位置,固定其拓扑结构,忽略了一些特例的情况,从而满足大多数器件的需求。这样提取工具会基于固定的源、漏子电路结构产生网表,对于所存在的特例情况,由设计者进行手工修改。此方法虽然引入了人工干预,但更为实用性,并且对于现在所普遍采用的层次化网表更为适合。

5 测试片情况

文中设计的环形栅已经成功应用到工程项目中,并针对该环形栅结构设计了 $0.18\mu\text{m}$ 工艺的单管测试片,该测试片包括工程实际应用中的环形栅晶体管尺寸,并考虑到数据的完备性扩展了有限的尺寸,直流测试工作已经完成,并利用研究结果对 BSIM3 模型中关键参数进行了修正,通过测试数据对模型参数进行拟合优化,已经得到了 RHBD 环形栅结构的直流器件模型,正在进行模型交流部分的测试和完善。

6 结束语

由于抗辐射加固版图设计中环形栅结构的特殊

应用,带来了直栅 SPICE 仿真验证对 RHBD 的不适用。文中通过对环形栅结构进行深入的分析和对大量实验数据的分析,找到了由此现象导致的差异性,提出了一种针对性的 SPICE 仿真验证方法,最大限度地减少了 SPICE 仿真带来的偏差,从而解决传统 SPICE 仿真验证对抗辐射加固设计不适用的问题,确保电路性能,提高设计的可靠性。

参考文献:

- [1] Martin M N, Strohhahn K. Analog rad-hard by design issues[C]//Proceedings of the 11th Annual NASA Symposium on VLSI Design Conference. Coeur d'Alene, ID, 2003.
- [2] Giovanni Maria ANELLI. Design and characterization of radiation tolerant integrated circuits in deep submicron CMOS technologies for the LHC[J]. Nuclear Physics, 2000, 524(3): 295 - 305.
- [3] Li Chen. Radiation-tolerant design with $0.18\mu\text{m}$ CMOS technology[C]//A thesis submitted to the Faculty of Graduate Studies and Research in partial fulfillment of the requirements for the degree of Doctor of Philosophy. University of Alberta, 2004.
- [4] Li Chen, Douglas M Gingrich. Study of n-channel MOSFETs with an enclosed-gate layout in a $0.18\mu\text{m}$ CMOS technology[J]. IEEE, 2004, 52(4): 1344 - 1348.
- [5] Kim Strohhahn, Mark N Martin. Spice macro models for annular mosfets[C]//IEEE Aerospace Conference Proceedings. USA: Laurel, 2004: 2370 - 2377.

作者简介:

王丹女, (1980-), 工程师. 研究方向为后端物理设计.
岳素格女, (1968-), 研究员. 研究方向为辐射加固技术.
孙永姝女, (1976-), 工程师. 研究方向为抗辐射单元库设计.